

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Ji-Yong PARK, *et al.*

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0111.US

**For: FLAT PANEL DISPLAY DEVICE  
WITH POLYCRYSTALLINE SILICON THIN  
FILM TRANSISTOR**

**Claim For Priority Under 35 U.S.C. § 119 In Utility Application**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

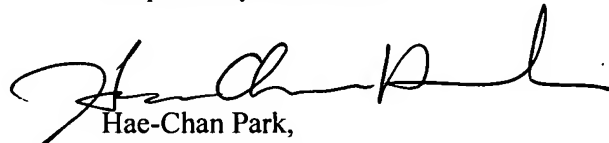
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	2003-36519	June 5, 2003
KOREA	2003-37245	June 10, 2003
KOREA	2003-51659	July 25, 2003
KOREA	2003-51681	July 25, 2003

A certified copy of each of Korean Patent Application Nos. 2003-36519, 2003-37245, 2003-51659, 2003-51681 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

  
Hae-Chan Park,  
Reg. No. 50,114

Date: February 18, 2004

McGuireWoods LLP  
1750 Tysons Boulevard, Suite 1800  
McLean, VA 22102  
Telephone No. 703-712-5365  
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0036519  
Application Number

출원 년 월 일 : 2003년 06월 05일  
Date of Application JUN 05, 2003

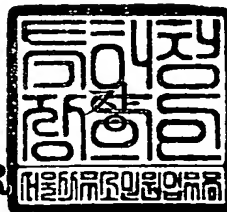
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.05
【발명의 명칭】	씨모스 박막 트래지스터 및 이를 사용한 디스플레이 디바이스
【발명의 영문명칭】	CMOS THIN FILM TRANSISTOR AND DISPLAY DEVICE USING THE SAME
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	KOO, JAE BON
【주민등록번호】	720706-1767718
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK, HYE HYANG
【주민등록번호】	771015-2657220



1020030036519

출력 일자: 2003/9/24

【우편번호】 441-390  
【주소】 경기도 수원시 권선구 권선동 1285-7, 101  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
【수수료】  
【기본출원료】 18 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 10 항 429,000 원  
【합계】 458,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 CMOS 박막 트랜지스터 및 이를 사용하는 디스플레이 디바이스에 관한 것으로, 액티브 채널 영역에 포함되는 폴리 실리콘의 프라이어리 결정립 경계의 수가 P형 박막 트랜지스터와 N형 박막 트랜지스터가 서로 다르며, 상기 N형 박막 트랜지스터에 포함되는 결정립 경계의 수가 상기 P형 박막 트랜지스터에 포함되는 결정립 경계의 수보다 최소한 1 이상 큰 것을 특징으로 하는 CMOS 박막 트랜지스터 및 이를 사용하는 디스플레이 디바이스를 제공함으로써 문턱 전압의 절대값 및 전류 이동도 등과 같은 전기적 특성을 향상시킨 CMOS 박막 트랜지스터 및 디스플레이 디바이스를 제공할 수 있다.

**【대표도】**

도 1g

**【색인어】**

CMOS 박막 트랜지스터, 유기 전계 발광 소자, 프라이어리 결정립 경계

**【명세서】****【발명의 명칭】**

씨모스 박막 트랜지스터 및 이를 사용한 디스플레이 디바이스{CMOS THIN FILM TRANSISTOR AND DISPLAY DEVICE USING THE SAME}

**【도면의 간단한 설명】**

도 1a 내지 도 1g는 본 발명의 일실시예에 따른 CMOS 박막 트랜지스터를 제조하기 위한 공정을 순서적으로 나타내는 공정도이다.

도 2a 및 도 2b는 도 1g의 LDD 구조를 갖는 P형 박막 트랜지스터 및 N형 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수에 따른 전류 이동도 및 문턱 전압의 변화를 나타내는 그래프이다.

도 3은 "프라이머리" 결정립 경계를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> [산업상 이용분야]

<5> 본 발명은 CMOS 박막 트랜지스터 및 이를 사용하는 디스플레이 디바이스에 관한 것으로, 더욱 상세하게는 P형 박막 트랜지스터 및 N형 박막 트랜지스터의 문턱 전압의 절대값의 차이가 거의 없으며 전류 이동도가 높은 CMOS 박막 트랜지스터 및 이를 이용하는 디스플레이 디바이스에 관한 것이다.

<6> [종래 기술]

- <7> 일반적으로 CMOS 박막 트랜지스터(Complementary metal oxide semiconductor thin film transistor; CMOS TFT)를 사용하는 회로들은 액티브 매트릭스 액정 표시 소자(Active Matrix LCD), 유기 전계 발광 소자(EL) 및 이미지 센서 등을 구동하는데 사용된다. 그러나, 일반적으로 TFT의 문턱 전압의 절대값은 단결정 반도체를 사용하는 MOS 트랜지스터의 문턱 전압의 절대값보다 크다. 더욱이, N형 박막 트랜지스터의 문턱 전압의 절대값은 P형 박막 트랜지스터의 절대값과는 매우 다르다. 예를 들어, N형 박막 트랜지스터의 문턱 전압이 2V이면 P형 박막 트랜지스터에서는 -4V이다.
- <8> 따라서, P형 박막 트랜지스터와 N형 박막 트랜지스터의 문턱 전압의 절대값이 매우 차이가 나는 것은 회로를 동작하는 데에는 바람직하지 않고, 특히, 구동 전압을 감소시키는 데에는 커다란 장벽으로 작용한다. 예를 들어, 일반적으로 문턱 전압의 절대값이 큰 P형 박막 트랜지스터는 낮은 구동 전압에서는 적절하게 동작하지 않는다.
- <9> 즉, P형 박막 트랜지스터는 레지스터와 같은 수동 소자로서 단지 기능하며, 충분히 빨리 동작하지는 않는다. P형 박막 트랜지스터를 수동 소자처럼 작동시키기 위해서는 구동 전압이 충분히 높을 필요가 있다.
- <10> 특히, 게이트 전극이 일함수가 알루미늄과 같이 5 eV 이하인 물질로 이루어진 경우에는 게이트 전극과 진성(intrinsic) 실리콘 반도체 사이의 일함수의 차이가 -0.6 eV만큼 작아진다. 결과적으로, P형 박막 트랜지스터의 문턱 전압이 - 값으로 쉬프트되는 것과 같이 되고, N형 박막 트랜지스터의 문턱 전압은 0 V에 가깝게 된다. 그러므로, N형 박막 트랜지스터는 일반적으로 온-상태(on-state)인 것으로 된다.
- <11> 위와 같은 상태에서, N형 박막 트랜지스터와 P형 박막 트랜지스터의 문턱 전압의 절대값은 거의 동일한 것이 바람직하다. 종래 단결정 반도체 집적 회로 기술의 경우, 문턱 전압은

$10^{18}$  원자/ $\text{cm}^3$ 의 농도 이하인 매우 작은 농도에서 N 또는 P 타입 불순물 도핑을 사용하여 제어되어 왔다. 즉, 문턱 전압은  $10^{15}$  내지  $10^{18}$  원자/ $\text{cm}^3$ 의 농도의 불순물 도핑에 의하여 0.1 V 이하의 정밀도로 제어되어 왔다.

<12> 그러나, 단결정 반도체가 아닌 반도체를 사용하는 경우, 불순물이  $10^{18}$  원자/ $\text{cm}^3$  또는 그 이하의 농도로 첨가될지라도 문턱 전압의 쉬프트는 관측되지 않는다. 더욱이, 불순물의 농도가  $10^{18}$  원자/ $\text{cm}^3$  이상이면, 문턱 전압은 급속히 변화하고, 전도성은 p-타입 또는 n-타입이 된다. 이것은 다결정 실리콘이 많은 디펙트를 갖기 때문이다. 디펙트 농도가  $10^{18}$  원자/ $\text{cm}^3$ 이므로 첨가된 불순물은 이러한 디펙트에 의해 트랩되고 활성화될 수 없다. 더욱이, 불순물의 농도가 디펙트의 농도보다 크며 과도한 불순물은 활성화되고 도전 타입을 n 또는 p 타입으로 변화된다.

<13> 이러한 문제점을 해결하기 위하여, 미국 특허 번호 제6,492,268호, 6,124,603호 및 5,615,935호에서는 채널 길이를 달리 하여 P형 박막 트랜지스터의 채널 길이를 N형 박막 트랜지스터의 채널 길이보다 작게 제조한다. 그러나, 이 특허에서도 채널 길이를 달리 제조하여야 하기 때문에 제조 공정이 복잡하다는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 채널 길이를 동일하게 하면서 결정립의 수를 조절하여 P형 박막 트랜지스터와 N형 박막 트랜지스터의 문턱 전압의 절대값의 차이가 거의 없으며 전류 이동도가 높은 CMOS 박막 트랜지스터 및 이를 사용하는 디스플레이 디바이스를 제공하는 것이다.



## 【발명의 구성 및 작용】

- <15> 본 발명은 상기한 목적을 달성하기 위하여,
- <16> 액티브 채널 영역에 포함되는 폴리 실리콘의 프라이어리 결정립 경계의 수가 P형 박막 트랜지스터와 N형 박막 트랜지스터가 서로 다르며, 상기 N형 박막 트랜지스터에 포함되는 결정립 경계의 수가 상기 P형 박막 트랜지스터에 포함되는 결정립 경계의 수보다 최소한 1 이상 큰 것을 특징으로 하는 CMOS 박막 트랜지스터를 제공한다.
- <17> 또한, 본 발명은
- <18> 상기 CMOS 박막 트랜지스터를 사용하는 액정 표시 소자 또는 유기 전계 발광 소자를 제공한다.
- <19> 이하, 본 발명을 첨부한 도면을 참조하여 더욱 상세히 설명한다.
- <20> 도 1a 내지 도 1g는 본 발명의 일실시예에 따른 CMOS 박막 트랜지스터를 제조하기 위한 공정을 순서적으로 나타내는 공정도이다.
- <21> 도 1a에서와 같이, N형 박막 트랜지스터 영역(10a)과 P형 박막 트랜지스터 영역(10b)을 구비한 기판(10) 상에 폴리 실리콘 막을 증착한 후, 제 1 마스크(도시하지 않음)를 기판(10) 상에 위치시켜 폴리 실리콘막을 식각하여 N형 박막 트랜지스터 영역(10a)과 P형 박막 트랜지스터 영역(10b)에 각각 폴리 실리콘 패턴(11a, 11b)을 형성한다. N형 박막 트랜지스터의 채널 영역과 P형 박막 트랜지스터의 채널 영역의 폭은 동일하게 형성한다.
- <22> 이때, 폴리 실리콘 패턴(11a, 11b)을 형성하는 경우, 결정립 경계의 수를 조정한다. 본 발명에서는 폴리 실리콘 패턴은 레이저를 사용하여 비정질 실리콘을 결정화시켜 폴리 실리콘막을 형성하며, 바람직하기로는 SLS(Sequential Laser Solidification)방법으로 형성한다.

- <23> 레이저를 사용하여 비정질 실리콘을 결정화시키는 경우 결정립 사이의 경계인 결정립 경계가 형성되며, 이러한 결정립 경계가 디바이스를 제작하는 경우 P형 박막 트랜지스터와 N형 박막 트랜지스터의 전류 이동도 및 문턱 전압에 영향을 미치게 된다.
- <24> 즉, 상기 결정립 경계의 경우 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다. 특히, 상기 폴리 실리콘이 SLS에 의하여 제조되는 경우 결정립 성장 방향과 거의 수직하게 형성되는 "프라이머리" 결정립 경계의 수는 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있다.
- <25> 따라서, 본 발명에서는 P형 박막 트랜지스터의 액티브 채널 영역에 포함되는 "프라이머리" 결정립 경계와 N형 박막 트랜지스터의 액티브 채널 영역에 포함되는 "프라이머리" 결정립 경계의 수 조절함으로써 N형 박막 트랜지스터의 문턱 전압의 절대값과 P형 박막 트랜지스터의 문턱 전압의 절대값의 차이를 거의 없도록 하였다.
- <26> 본 발명에서는 이와 같이, N형 박막 트랜지스터의 액티브 채널 영역에 포함되는 "프라이머리" 결정립 경계의 수가 P형 박막 트랜지스터의 액티브 채널 영역에 포함되는 "프라이머리" 결정립 경계의 수보다는 최소한 1 이상 커야 한다.
- <27> 그리고, P형 박막 트랜지스터에 포함되는 "프라이머리" 결정립 경계는 2 이하인 것이 바람직하며, 더욱 바람직하기로는 "프라이머리" 결정립 경계가 포함되지 않는 것이 바람직하다.
- <28> 따라서, P형 박막 트랜지스터에 포함되는 "프라이머리" 결정립 경계의 수와 N형 박막 트랜지스터에 포함되는 "프라이머리" 결정립 경계의 수가 달리 형성되어야 하므로 먼저, N형 박막 트랜지스터 영역에만 마스크를 오픈한 후 레이저를 조사하여 비정질 실리콘을 결정화시킨

다음 마스크를 이동시켜 N형 박막 트랜지스터 영역만을 오픈한 후 레이저를 조사하여 비정질 실리콘을 결정화시킨다.

- <29> 이와는 반대로 P형 박막 트랜지스터를 결정화시킨 다음 N형 박막 트랜지스터를 결정화시켜도 무방하다.
- <30> 도 3은 "프라이머리" 결정립 경계를 나타내는 도면이다. 도 3을 참조하면, 본 발명에서 "결정립 크기"라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계 사이의 거리라고 정의하며, 본 발명에서 사용되는 "프라이머리" 결정립 경계는 다결정 실리콘의 결정립의 성장 방향과 거의 수직으로 형성되는 결정립 경계를 말한다.
- <31> 폴리 실리콘 패턴을 형성한 다음, 도 1b에 도시된 바와 같이, N형 박막 트랜지스터에 도 전성을 주기 위하여 N형 박막 트랜지스터의 채널 영역(10a)의 폴리 실리콘 패턴(11a)을 노출시킨 후 패턴된 포토레지스트(12)를 마스크로 사용하여 N형 도판트로 채널 도핑을 시행한다.
- <32> 본 발명에서는 통상의 N형 박막 트랜지스터의 구조를 가질 수도 있고, LDD(Lightly Doped Drain) 구조 또는 오프-셋 구조를 가질 수도 있으며, 특정 구조에 한정되는 것은 아니다. 다만, 본 실시예에서는 설명의 편의를 위하여 LDD 구조를 갖는 CMOS 박막 트랜지스터에 관하여 이하 공정을 설명한다.
- <33> 이어서, 도 1c에 도시된 바와 같이, 포토레지스트(12)를 제거하고 상기 기판 (10)에 게이트 절연막(13)을 형성하고, 그 상부에 게이트 전극 물질을 증착한다. 이어서, 상기 기판 (10) 상에 마스크를 사용하여 게이트 전극 물질을 식각형 N형 박막 트랜지스터 및 P형 박막 트랜지스터의 게이트 전극(14a, 14b)을 해당 영역에 형성한다. 다음으로, LDD 구조를 형성하기

위하여, 상기 N형 박막 트랜지스터 영역(10a)의 폴리 실리콘 패턴(11a)으로 N형의 저농도 불순물을 이온주입하여 게이트전극(14a)의 양측에 저농도 소오스/드레인 영역(15)을 형성한다.

<34> 계속해서 도 1d에 도시된 바와 같이, 저농도 소오스/드레인 영역(15)이 형성된 기판(10) 전면에서 포토레지스트를 도포한 후, 포토리소그래피 공정을 수행함으로써 N형 박막 트랜지스터 영역(10a)으로의 불순물 이온주입을 방지함과 동시에 P형 박막 트랜지스터의 소오스/드레인 영역 형성을 위한 마스크를 형성하고 이 마스크를 사용하여 P형 박막 트랜지스터 영역(10b)의 폴리 실리콘 패턴(11b)으로 고농도의 P형 불순물을 이온주입하여 P형 박막 트랜지스터의 고농도 소오스/드레인 영역(17)을 형성한다.

<35> 이어서, 도 1e에 도시된 바와 같이, 상기 마스크를 제거한 다음 다시 기판(10) 상에 포토레지스트를 도포한 후, 포토리소그래피 공정을 수행함으로써 N형 박막 트랜지스터의 게이트 전극 및 상기 P형 박막 트랜지스터 영역(10a)으로의 불순물 이온주입을 방지하기 위하여 마스크(18)를 형성한다. 다음으로, 상기 마스크(18)를 이용하여 N형의 고농도 불순물을 상기 N형 박막 트랜지스터 영역(10a)의 폴리 실리콘 패턴(11a)으로 이온주입하여 고농도 소오스/드레인 영역(19)을 형성한다.

<36> 다음으로, 도 1f에 도시된 바와 같이, 상기 마스크(18)를 제거한 후, 기판(10) 전면에서 층간 절연막(20)을 형성한다. 이어서, 상기 기판(10) 상에 마스크를 위치시켜 N형 박막 트랜지스터 및 P형 박막 트랜지스터의 소오스/드레인 영역(17, 19)이 노출되도록 층간 절연막(20)을 식각하여 N형 박막 트랜지스터 영역(10a) 및 P형 박막 트랜지스터 영역(10b)에 각각 콘택홀(21a, 21b)을 형성한다.

- <37>        마지막으로, 도 1g에 도시된 바와 같이, 기판(10) 전면에서 소오스/드레인 전극 형성을 위한 도전성 금속물질을 증착한 후, 마스크를 이용하여 상기 도전성 금속 물질을 식각하여 N형 박막 트랜지스터와 P형 박막 트랜지스터의 소오스/드레인 전극(22a, 22b)을 각각 형성한다.
- <38>        이로써, LDD 구조를 갖는 N형 박막 트랜지스터와 통상적인 구조를 갖는 P형 박막 트랜지스터를 구비하는 CMOS 박막 트랜지스터를 제작하였다.
- <39>        도 2a 및 도 2b는 도 1g의 LDD 구조를 갖는 P형 박막 트랜지스터 및 N형 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수에 따른 전류 이동도 및 문턱 전압의 변화를 나타내는 그래프이다.
- <40>        도 2a에서 알 수 있는 바와 같이, N형 박막 트랜지스터 및 P형 박막 트랜지스터의 경우 "프라이머리" 결정립 경계의 수가 적을수록 전류 이동도가 우수함을 알 수 있고, N형 박막 트랜지스터와 P형 박막 트랜지스터를 비교한 경우 동일한 "프라이머리" 결정립 경계가 포함된 경우 N형 박막 트랜지스터가 P형 박막 트랜지스터보다 전류 이동도가 우수함을 알 수 있다.
- <41>        또한, 도 2b에서 알 수 있는 바와 같이, "프라이머리" 결정립 경계가 채널 영역에 적게 포함될수록 N형 박막 트랜지스터의 문턱 전압의 절대값의 차이와 P형 박막 트랜지스터의 문턱 전압의 절대값의 차이가 작아지는 것을 알 수 있으며, 동일한 "프라이머리" 결정립 경계가 포함하는 경우 P형 박막 트랜지스터의 문턱 전압의 절대값이 N형 박막 트랜지스터의 문턱 전압의 절대값보다 큰 것을 알 수 있고, 그래프의 기울기의 절대값에서도 P형 박막 트랜지스터가 큰 것을 알 수 있다.

- <42> 따라서, P형 박막 트랜지스터보다 N형 박막 트랜지스터의 액티브 채널 영역에는 "프라이머리" 결정립 경계는 반드시 적게 포함되어야 하며, 최소한 1 이상 차이가 나는 것이 바람직하다.
- <43> 한편, 도 2b를 참조하면, P형 박막 트랜지스터에 포함되는 "프라이머리" 결정립 경계의 수가 2일 때 문턱 전압의 절대값이 4이고, N형 박막 트랜지스터에 포함되는 "프라이머리" 결정립 경계의 수가 6일 때 문턱 전압의 절대값이 약 3.5로 문턱 전압의 절대값의 차이가 거의 없음을 알 수 있다.
- <44> 본 발명에서와 같이 N형 박막 트랜지스터의 액티브 채널 영역 내에 포함되는 다결정 실리콘의 "프라이머리" 결정립 경계의 수가 P형 박막 트랜지스터의 액티브 채널 영역에 포함되는 폴리 실리콘의 "프라이머리" 결정립 경계의 수보다 많은 CMOS 박막 트랜지스터는 디스플레이 디바이스에 사용되면, 바람직하기로는 능동 소자형 LCD 또는 유기 전계 발광 소자에 사용된다.

#### 【발명의 효과】

- <45> 이상과 같이 본 발명에서와 같이, COMS 박막 트랜지스터에 포함되는 N형 박막 트랜지스터와 P형 박막 트랜지스터의 액티브 채널 영역 내의 "프라이머리" 결정립 경계의 수를 달리함으로써 문턱 전압의 절대값 및 전류 이동도를 제어할 수 있으므로 전기적 특성이 향상된 CMOS 박막 트랜지스터를 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

액티브 채널 영역에 포함되는 폴리 실리콘의 프라이머리 결정립 경계의 수가 P형 박막 트랜지스터와 N형 박막 트랜지스터가 서로 다르며, 상기 P형 박막 트랜지스터에 포함되는 결정립 경계의 수가 상기 N형 박막 트랜지스터에 포함되는 결정립 경계의 수보다 최소한 1 이상 작은 것을 특징으로 하는 CMOS 박막 트랜지스터.

**【청구항 2】**

제 1항에 있어서,

상기 P형 박막 트랜지스터와 N형 박막 트랜지스터의 채널 길이는 동일한 것인 CMOS 박막 트랜지스터.

**【청구항 3】**

제 1항에 있어서,

상기 N형 박막 트랜지스터 및 P형 박막 트랜지스터의 상기 액티브 채널 영역에 포함되는 폴리 실리콘의 프라이머리 결정립 경계는 전류의 흐름 방향과는 수직인 CMOS 박막 트랜지스터.

**【청구항 4】**

제 1항에 있어서,

상기 다결정 실리콘은 SLS 결정화법에 의하여 제조되는 것인 CMOS 박막 트랜지스터.

**【청구항 5】**

제 1항에 있어서,

상기 P형 박막 트랜지스터에 포함되는 프라이머리 결정립 경계가 없는 것인 CMOS 박막 트랜지스터.

**【청구항 6】**

제 1항에 있어서,

상기 P형 박막 트랜지스터에 포함되는 프라이머리 결정립 경계의 수는 2 이하인 CMOS 박막 트랜지스터.

**【청구항 7】**

제 6항에 있어서,

상기 N형 박막 트랜지스터에 포함되는 프라이머리 결정립 경계의 수는 6이고, P형 박막 트랜지스터에 포함되는 프라이머리 결정립 경계의 수는 2인 CMOS 박막 트랜지스터.

**【청구항 8】**

제 1항에 있어서,

상기 CMOS 박막 트랜지스터는 LDD 구조 또는 오프-셋 구조를 포함하는 것인 CMOS 박막 트랜지스터.

**【청구항 9】**

제 1항의 CMOS 박막 트랜지스터를 사용하는 것을 특징으로 하는 디스플레이 디바이스.

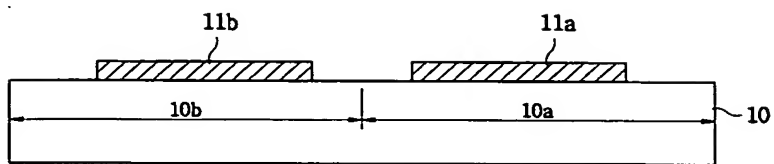


【청구항 10】

제 9항에 있어서,

상기 디스플레이 디바이스는 액정 표시 소자 또는 유기 전계 발광 디스플레이 디바이스  
인 디스플레이 디바이스.

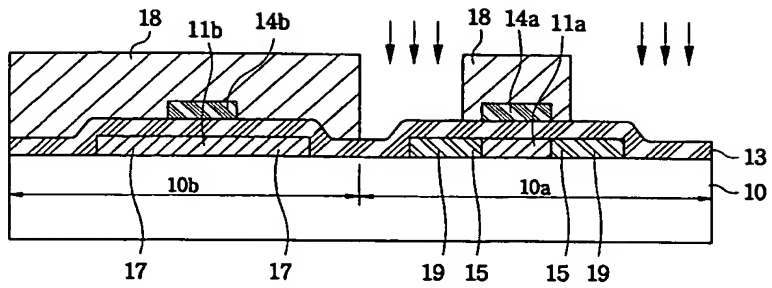
【도 1a】



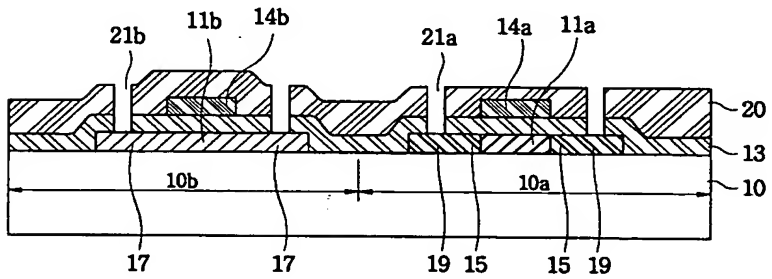
This cross-sectional diagram shows a semiconductor device with two distinct regions, 10a and 10b, separated by a vertical boundary. Both regions are built upon a common substrate 10. Region 10a features a first semiconductor layer 11a, a first conductive layer 14a, and a first insulating layer 15. Region 10b features a second semiconductor layer 11b and a second conductive layer 14b. A common second insulating layer 13 is positioned above the semiconductor layers in both regions. Arrows at the top indicate downward force or light incident on the device.

This cross-sectional view shows a semiconductor device with a substrate 10. A trench 11 is formed in the substrate, with a bottom layer 10b and a top layer 10a. A raised portion 13 is formed on the substrate. A layer 15 is deposited on the top surface of the raised portion 13. A layer 14 is deposited on the top surface of the trench 11, with a sub-layer 14a. A layer 11a is deposited on the top surface of the trench 11. A layer 16 is deposited on the top surface of the trench 11. A layer 17 is deposited on the top surface of the trench 11. A layer 17 is also deposited on the top surface of the raised portion 13. Arrows indicate light incident from the top.

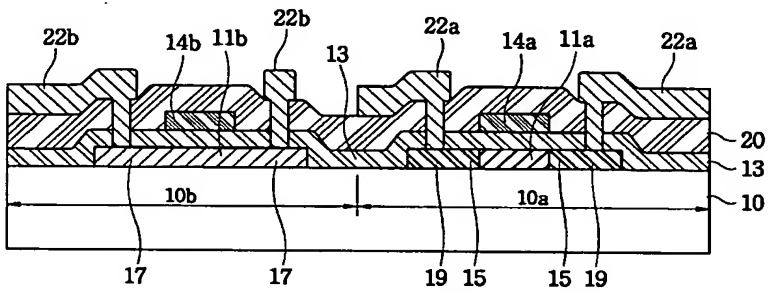
【도 1e】



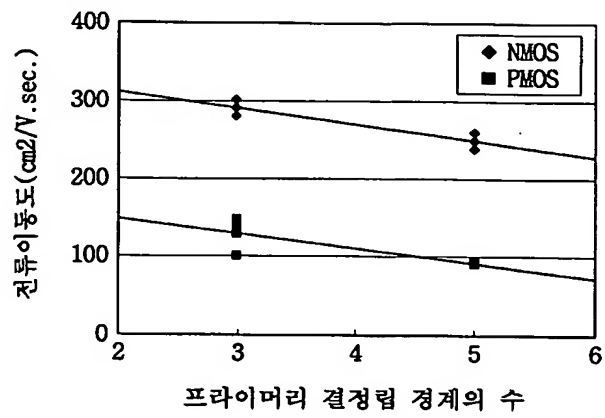
【도 1f】



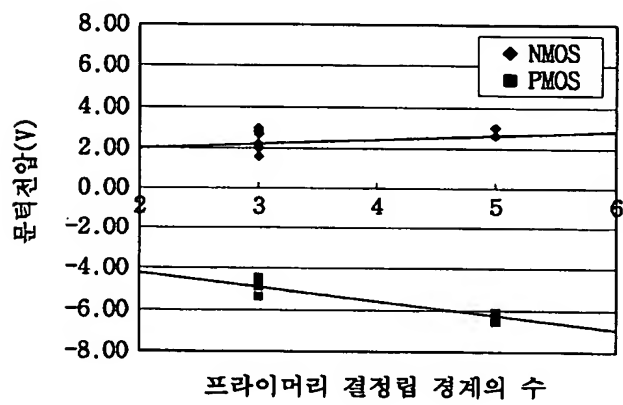
【도 1g】



【도 2a】



【도 2b】



【도 3】

